

アナログ信号の delay に関する報告

田中佳奈

2009.12.26

概要

アナログ信号の delay の長さを 500ns とした時、ADC の gate 幅を様々に変えた時の、ADC のランダウピークの位置の変化、エネルギー分解能・時間分解能の変化について調べた。

1 アナログ信号の delay によるパルスハイト

NEUTの左右に用いたフォトマルはH6559(浜松3inch)、R7724ASSY(浜松10段)のBA3232である。右側のライトガイドは「UVTなし」を使用した。

まず、アナログ信号の delay の長さを変えた時、オシロで見た delay 後の信号を図1、パルスハイトを1に示す。「delayなし」に比べて、「500ns delay」にした後は、パルスハイトが1/6程度まで減少することがわかった。

フォトマル (HV 値)	delay なし	100ns delay	500ns delay
R7724ASSY(-1300V)	300 ~ 600mV	200 ~ 400mV	50 ~ 100mV

表 1: オシロで見た delay 後のパルスハイト

2 ADC の gate 幅を変化させた時のエネルギー分解能等

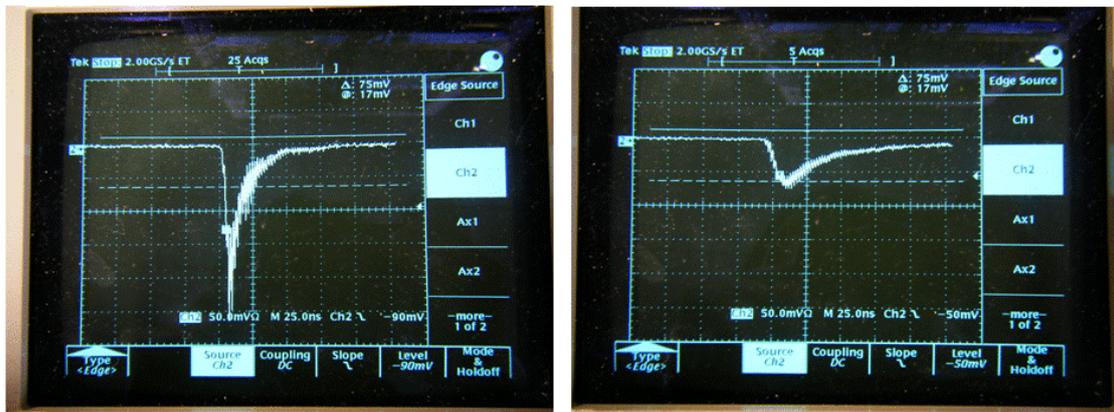
次に 100ns delay, 500ns delay 後の ADC のデータを取った。ADC の gate 幅は 200ns ~ 2 μ s とした。各設定でのペDESTALを引き、ADC のランダウ分布のピーク ch、エネルギー分解能、時間分解能を求めると、表2のようになった。ただし、エネルギー分解能は

$$\Delta E/E = (\text{ADC のランダウ分布の標準偏差})/(\text{ADC のランダウピーク}) \quad (1)$$

と求めた。また delay 回路不足の関係でスタート信号の ADC 分布を取っていないため、時間分解能は、解析的に NEUT の ADC 分布にのみ GATE をかけ、スルー補正し、ガウス関数をフィットした結果である。

ADC の gate 幅を広くしていくと、電荷量は多くなるが、エネルギー分解能が 3% 程度低下していく様子があった。

オシロ: 50mV × 25ns / 1マス



delayなしのアナログ信号

500ns delay後のアナログ信号

図 1: オシロで見た delay 後の信号

	アナログ信号の delay	100ns	500ns	500ns	500ns
	ADC gate 幅	200ns	500ns	1 μ s	2 μ s
H6559(-1500V)	ランダウピーク	190ch	151ch	172ch	184ch
	エネルギー分解能	6.55%	6.88%	7.00%	7.04%
	時間分解能 ps	138.3 \pm 8.2	147.3 \pm 1.4	139.5 \pm 3.6	139.0 \pm 5.2
R7724ASSY(-1300V)	ランダウピーク	229ch	170ch	187ch	201ch
	エネルギー分解能	6.84%	7.07%	7.41%	7.55%
	時間分解能 ps	116.7 \pm 4.2	130.6 \pm 1.2	131.3 \pm 3.0	130.5 \pm 4.4

表 2: ADC のランダウピークの位置、エネルギー分解能 $\Delta E/E$ 、時間分解能